



Reti logiche A

All. Informatici



Contenuti - Progetto logico di sistemi digitali

- Metodologie e tecniche di progetto (di base) per la realizzazione dei dispositivi di elaborazione digitale
- Sintesi e ottimizzazione dei circuiti combinatori
- Il concetto di stato nei sistemi digitali
- Sintesi dei circuiti sequenziali sincroni
- Componenti programmabili
- Introduzione alle metodologie di progetto automatico (VHDL e ambiente)

- 2 -



Flusso di progettazione dei sistemi digitali

Livelli di astrazione

Livello comportamentale

- Specifica di sistema
- descrizione comportamentale + vincoli non funzionali

Livello registro - unità funzionale

- Progetto architetturale
- unità funzionali, registri e interconnessioni (percorsi di dati e segnali di controllo)
 - descrizione RTL (Register Transfer Level)

Livello logico

- Progetto logico

Livello geometrico

- Disegno delle maschere

- Produzione

- 3 -



Cosa significa progetto logico

Progetto logico

- determinare un insieme di componenti digitali (famiglie di porte logiche) per realizzare le unità funzionali eventualmente individuate a più alto livello
- scegliere tra le diverse tecnologie implementative
- ottimizzare e trasformare la soluzione identificata per soddisfare i vincoli (*sintesi*)
- **Progetto HW**
- data la specifica del problema, identificare un metodologia di soluzione scegliendo in modo appropriato le unità funzionali necessarie per soddisfare vincoli di progetto quali area di silicio, costi, tempi, consumo di potenza..

- 4 -



Sintesi

Ad ogni passaggio da un livello di astrazione più elevato ad uno inferiore corrisponde una *fase di sintesi*

- *sintesi*: insieme di tecniche di ottimizzazione (manuale/automatica)

□ Sintesi Comportamentale:

- Partitioning
- Pipelining
- Scheduling
- Allocazione delle risorse

□ Sintesi Logica:

- Ottimizzazione di macchine sequenziali
- Minimizzazione logica multilivello - 2 livelli
- Technology mapping

□ Sintesi Fisica:

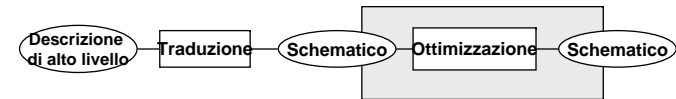
- Clock buffer-tree design
- Placement e routing ottimale

- 5 -



Sintesi automatica a livello logico

- Conversione da una descrizione HDL ad una *net-list* ottimizzata ed indirizzata ad una particolare tecnica realizzativa (es: standard_cell, gate array,
- Traduzione da HDL a net-list
- *da net-list a net-list ottimale*
- *da net-list ottimale a net-list ottimale di blocchi*



- Gestisce vincoli di progetto (area, ritardi, potenza, testabilità, limitazioni di fan-in e fan-out)
- Produce ottimizzazioni area-tempo di alta qualità, comparabili con quelle manuali
- Adattabile ad ampie categorie di librerie e tecnologie

- 6 -



Spazi di rappresentazione del progetto digitale: *astrazioni*

- (Interpretazione digitale dei segnali analogici)
- Dispositivi fisici (transistors)
- Switch
- Tabelle della verità
- Algebra Booleana
- Porte logiche
- Macchine a stati finiti
- Forme d'onda
- Linguaggi di descrizione dello hardware
- Descrizioni Register-transfer
- Specifiche astratte concorrenti

Corso di Reti logiche

- 7 -



Struttura del corso

- I PARTE
 - Sintesi combinatoria
 - Introduzione alla minimizzazione: espressioni e mappe di Karnaugh
 - Minimizzazione esatta: Quine-McCluskey a singola uscita e a più uscite
 - Introduzione alla sintesi euristica a 2 livelli e multilivello
 - Aritmetica e architetture aritmetiche
- II PARTE
 - Sintesi sequenziale
 - Sintesi e ottimizzazione di macchine sincrone a stati finiti
 - Progetto di contatori sincroni
 - Componenti programmabili: architettura e sintesi

Introduzione al flusso di progettazione e al linguaggio VHDL

- 8 -



Materiale didattico

□ *Materiale preparato dai docenti*

- *vedere homepage docenti*

□ *Testi consigliati*

- F.Fummi, M.G.Sami, C.Silvano "Progettazione digitale" - McGraw Hill - Capp. 2.9-2.11, 3, 4.1-4.4, 5, 6.1-6.5, 9, A2
- R.Katz "Contemporary Logic Design" - The Benjamin/Cummings Publishing Company, 1994 - Capp. 1-10
- C.Bolchini, C.Brandolese, F.Salice, D.Sciuto "Reti logiche" - Apogeo