



Politecnico di Milano

Dipartimento di Elettronica e Informazione

prof.ssa Anna Antola
prof.ssa Cristiana Bolchini

prof. Fabrizio Ferrandi

Reti Logiche A – Prova di giovedì 3 febbraio 2005

Matricola _____

Cognome _____ Nome _____

Istruzioni

- Scrivere solo sui fogli distribuiti. Non separare questi fogli.
- È vietato portare all'esame libri, eserciziari, appunti e calcolatrici. Chiunque venga trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.
- Non è possibile lasciare l'aula conservando il tema della prova in corso.
- Tempo a disposizione: 2h:15m.

Valore indicativo di domande ed esercizi, voti parziali e voto finale:

Esercizio 1 (3 punti) _____

Esercizio 2 (3.5 punti) _____

Esercizio 3 (3.5 punti) _____

Esercizio 4 (3 punti) _____

Esercizio 5 (3 punti) _____

Voto finale: (16 punti) _____

Esercizio n. 1

Data la seguente tabella degli stati:

- I) si esegua l'analisi di compatibilità
- II) Trovare le classi di massima compatibilità tramite l'algoritmo che costruisce l'albero delle compatibilità
- III) Trovare una macchina ridotta utilizzando un algoritmo tra quanti noti, derivando la nuova tabella degli stati e il relativo diagramma degli stati

	IN = 0	IN = 1
A	A / 0	B / 1
B	B / 0	- / -
C	C / -	D / 1
D	E / 1	H / 0
E	F / 1	- / 0
F	F / -	- / 1
G	G / 0	B / 1
H	A / 1	B / -

Soluzione:

B	V						
C	BD	V					
D	X	X	X				
E	X	X	X	EF			
F	V	V	V	X	X		
G	V	V	DB	X	X	V	
H	X	X	CA DB	AE BH	FA	FA	X
	A	B	C	D	E	F	G

B	V						
C	X	V					
D	X	X	X				
E	X	X	X	X			
F	V	V	V	X	X		
G	V	V	X	X	X	V	
H	X	X	X	X	FA	FA	X
	A	B	C	D	E	F	G

Classi di massima compatibilità: ABGF, CBF, FH, EH, D

Esercizio n. 2

Realizzare un circuito sequenziale sincrono con due ingressi (a e b) ed una uscita (z), il cui comportamento è il seguente:

- quando si riceve in ingresso $a = b = 1$ l'uscita z viene posta a 0
 successivamente se $a \neq b$ allora $z = 1$, se $a = b$ allora $z = 0$ fino a che non si riceve $a = b = 0$
- quando si riceve in ingresso $a = b = 0$ l'uscita viene posta a 0
 successivamente l'uscita commuta ad ogni ciclo di clock fino a quando non si riceve $a = b = 1$ che comunque porta l'uscita a 0.

Si utilizzi come modello di riferimento quello della macchina di Moore, si utilizzino flip-flop di tipo JK e si adotti un assegnamento dello stato basato sulla codifica binaria naturale sul numero minimo di bit.

Soluzione:

Tabella degli stati:

		00	01	11	10	
A	B	B	C	B		z
B	A	A	C	A		0
C	A	D	C	D		1
D	A	D	C	D		0
						1

Codifica: A = 00 B = 01 C = 11 D = 10

Tabella degli stati codificati:

		00	01	11	10	
00	01	01	11	01		z
01	00	00	11	00		0
11	00	10	11	10		1
10	00	10	11	10		0
						1

Tabella delle eccitazioni JK

	Q	Q'	J	K
0	0	0	0	-
0	1	1	1	-
1	0	-	-	1
1	1	-	-	0

Tabella

		00	01	11	10	
00	0- 1-	0- 1-	1- 1-	0- 1-		z
01	0- -1	0- -1	1- -0	0- -1		0
						1

11	-1 -1	-0 -1	-0 -0	-0 -1
10	-1 0-	-0 0-	-0 1-	-0 0-

0
1

Sintesi della funzione d'uscita:

$$z = q0 \oplus q1$$

Mappe di Karnaugh della funzione stato prossimo:

	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	-	-	-	-
10	-	-	-	-

J0

	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	1	0	0	0
10	1	0	0	0

K0

	00	01	11	10
00	1	1	1	1
01	-	-	-	-
11	-	-	-	-
10	0	0	1	0

J1

	00	01	11	10
00	-	-	-	-
01	1	1	0	1
11	1	1	0	1
10	-	-	-	-

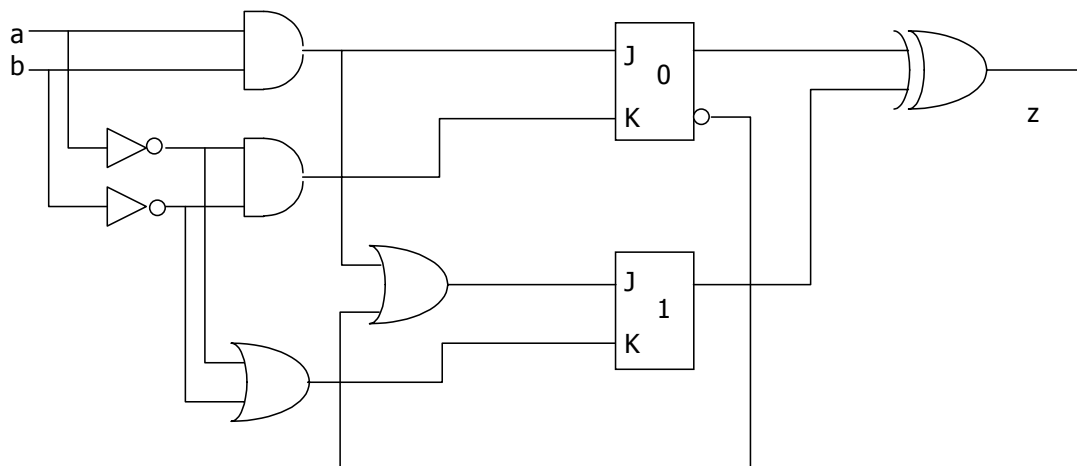
K1

$$J0 = ab$$

$$K0 = !a!b$$

$$J1 = !q0 + ab$$

$$K1 = !a + !b$$



Esercizio n. 3

Data la seguente tabella degli stati minima di una macchina di Mealy:

	00	01	11	10
S1	S1/1	S1/1	S5/0	S2/1
S2	S1/1	S4/0	S3/0	S3/0
S3	S3/1	S4/0	S4/0	S4/0
S4	S1/0	S5/0	S5/0	S1/0
S5	S3/1	S5/0	S5/0	S1/0

Si determini un buon assegnamento degli stati secondo i criteri comunemente adottate.

Soluzione:

Per il I criterio (coppie di stati che condividono lo stesso stato prossimo per lo stesso ingresso) si ha:

S1S2 condividono S1
S1S4 condividono S1
S2S4 condividono S1
S3S5 condividono S3
S2S3 condividono S4
S4S5 condividono S5
S1S4 condividono S5
S1S5 condividono S5
S4S5 condividono S5
S4S5 condividono S1

Per il II criterio (coppie di stati prossimi con ingresso adiacente) si ha:

stato presente S1	stato presente S2
S1S5	S1S4
S5S2	S4S3
S2S1	S3S1

stato presente S3	stato presente S4
S3S4	S1S5
S4S3	S5S1

stato presente S5
S3S5
S5S1

S1S3

La tabella dei vincoli pesati è la seguente:

S1S2 2

S1S4 3

S2S4 1

S3S5 2

S2S3 1

S4S5 3

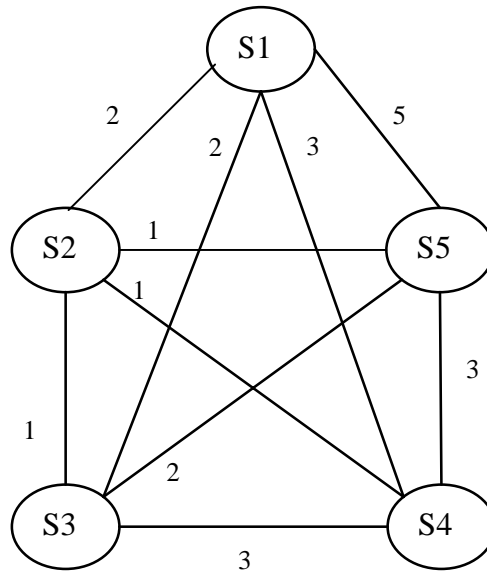
S1S5 5

S5S2 1

S4S3 3

S1S3 2

Il grafo delle adiacenze è il seguente

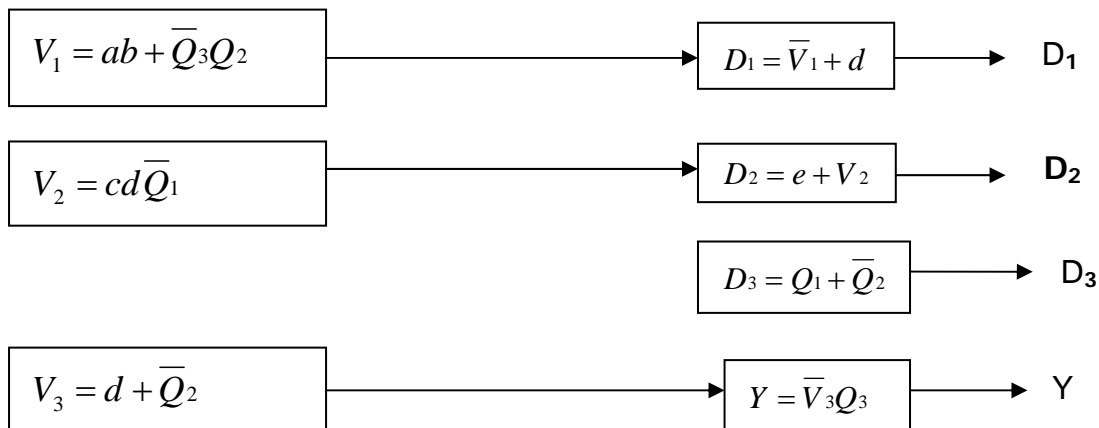


I vincoli non possono essere tutti soddisfatti e vengono tagliati gli archi AB, BC e EF. L'assegnamento è quindi

	00	01	11	10
0	S2	S1	S5	
1		S3	S4	

Esercizio n. 4

Sia data una macchina sequenziale sincrona con ingressi (a, b, c, d, e) e uscita (Y), la cui rete combinatoria che realizza le funzioni λ (uscita) e δ (stato prossimo) è rappresentata dalla seguente rete multilivello



Dove:

- Q_1, Q_2 e Q_3 rappresentano le variabili di stato presente
- L'espressione associata a Y costituisce la funzione λ
- Le espressioni associate a D_1, D_2 e D_3 costituiscono la funzione δ
- V_1, V_2 e V_3 sono nodi intermedi

- Dire se la macchina descritta è di Mealy o di Moore, giustificando la risposta;
- Realizzare la rete combinatoria tramite PLA. Si indichino esplicitamente i termini prodotto del piano AND e le espressioni relative al piano OR, si disegni anche lo schema logico delle interconnessioni da programmare.
- Si supponga di voler realizzare la stessa macchina tramite una ROM:
 - Si dica quale è il numero di ingressi (bit indirizzo) e il numero di uscite (bit di parola) della ROM necessari per realizzare la macchina
 - Si dica quale è il procedimento, partendo dalle espressioni logiche date, per ottenere la realizzazione tramite ROM

Soluzione:

La macchina è una macchina di Mealy poiché l'uscita dipende, oltre che dallo stato presente, anche dagli ingressi.

Termini prodotto e sezione OR da realizzare (l'asterisco indica le funzioni OR che vanno retroazionate. Per D_1, D_2 e D_3 il segnale portato in retroazione è l'uscita Q del bistabile D corrispondente all'ingresso omonimo)

Sezione AND

$$P_1 = ab$$

$$P_2 = \overline{Q_3}Q_2$$

$$P_3 = cdQ_1$$

$$P_4 = d$$

$$P_5 = \overline{Q_2}$$

$$P_6 = \overline{V_1}$$

$$P_7 = e$$

$$P_8 = V_2$$

$$P_9 = Q_1$$

$$P_{10} = \overline{V_3}Q_3$$

Sezione OR

$$(*)V_1 = P_1 + P_2$$

$$(*)V_2 = P_3$$

$$(*)V_3 = P_4 + P_5$$

$$(*)D_1 = P_4 + P_6$$

$$(*)D_2 = P_7 + P_8$$

$$(*)D_3 = P_5 + P_9$$

$$Y = P_{10}$$

Esercizio n. 5

Data la seguente descrizione di circuito in VHDL

```
library ieee;
use ieee.std_logic_1164.all;

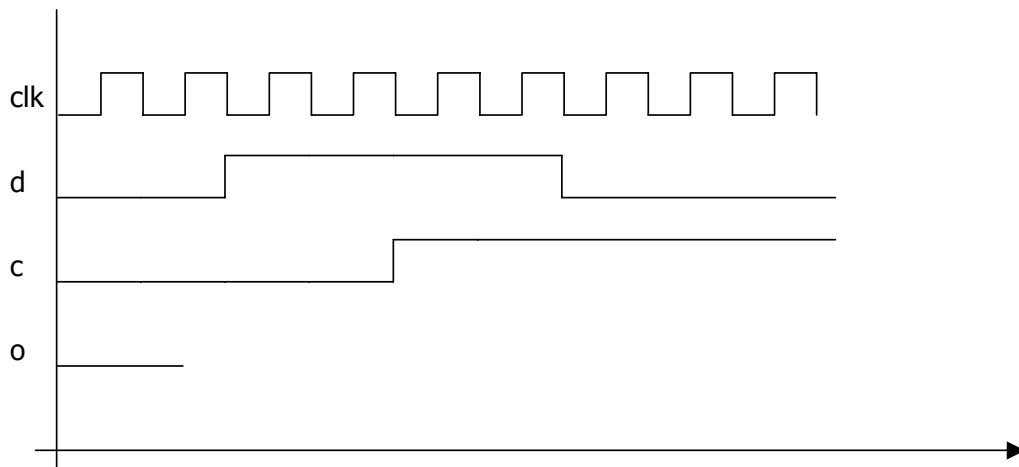
ENTITY vhdl_ex IS
    PORT(clk: in bit;
         c: in bit;
         d: in bit;
         o: out bit);
END;

ARCHITECTURE arc OF vhdl_ex IS
    SIGNAL s0,s1: bit;
BEGIN
    P0: PROCESS(clk)
    BEGIN
        IF (clk'EVENT AND clk = '1') THEN
            s0<=d;
        END IF;
    END PROCESS;

    o <= s1 WHEN (c='1') ELSE s0;

    P1: PROCESS(clk)
    BEGIN
        IF (clk'EVENT AND clk = '1') THEN
            s1<=s0;
        END IF;
    END PROCESS;
END arc;
```

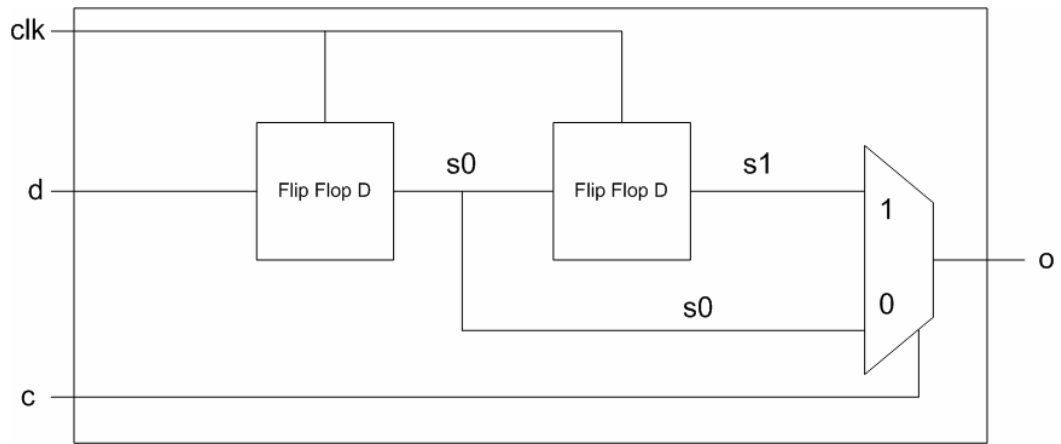
- I) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.
- II) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto
- III) Ricavare le forme d'onda del segnale **o** in corrispondenza dei segnali di ingresso di seguito riportati:



Soluzione:

- I) Indicare se il circuito descritto è un circuito combinatorio o sequenziale con le opportune motivazioni.

Il circuito è sequenziale perché contiene due processi che descrivono due flip flop d
- II) Disegnare un circuito composto da componenti elementari (porte logiche, multiplexer, bistabili) che implementi il modello VHDL proposto



III) Ricavare le forme d'onda del segnale o in corrispondenza dei segnali di ingresso di seguito riportati: