SINTESI DI CONTATORI

1. Dato il ciclo di conteggio riportato qui di seguito

a) Si tracci la tabella delle eccitazioni del contatore sincrono facendo uso di bistabili JK (sincroni) che commutano sul fronte di discesa.

b) Si sintetizzino le funzioni J e K di tutti i bistabili.

A	B	C
1	1	0
1	1	1
1	0	1
1	0	0
0	0	0

c) Si sintetizzi lo stesso contatore imponendo però che gli stati non utili non possano raggiungere nessuno degli stati utili di conteggio.

Traccia di soluzione

(a) Si costruisce la tabella delle transizioni del contatore (colonne STATO PROSSIMO) e quella delle eccitazioni (colonne ECCITAZIONI). Per trasformare la tabella delle transizioni del contatore in tabella delle eccitazioni si utilizza la tabella delle eccitazioni del FF JK.

TAB. ECCITAZIONI FF JK

Q	Q*	J	K
0	**0**	**0**	**-**
0	**1**	**1**	**-**
1	**0**	**-**	**1**
1	**1**	**-**	**0**

STATO PRESENTE			STATO PROSSIMO			ECCITAZIONE		
QA=A	**QB=B**	**QC=C**	**QA***	**QB***	**QC***	**JA KA**	**JB KB**	**JC KC**
1	1	0	1	1	1	**- 0**	**- 0**	**1 -**
1	1	1	1	0	1	**- 0**	**- 1**	**- 0**
1	0	1	1	0	0	**- 0**	**0 -**	**- 1**
1	0	0	0	0	0	**- 1**	**0 -**	**0 -**
0	0	0	1	1	0	**1 -**	**1 -**	**0 -**

(b) Si riportano le funzioni di eccitazioni ottenute nelle mappe di Karnaugh e si sintetizza come SOP sfruttando le condizioni di indifferenza

QA \ QB QC	00	01	11	10
0	1 -	- -	- -	- -
1	- 1	- 0	- 0	- 0

JA KA

JA = 1
KA = !QB!QC

QA \ QB QC	00	01	11	10
0	1 -	- -	- -	- -
1	0 -	0 -	- 1	- 0

JB KB

JB = !QA
KB = QC

QA \ QB QC	00	01	11	10
0	0 -	- -	- -	- -
1	0 -	- 1	- 0	1 -

JC KC

JC = QB
KC = !QB

(c) In questo caso è necessario considerare esplicitamente gli stati non utili nella tabella delle transizioni (e quindi in quelle delle eccitazioni) e imporre che generino un anello.

STATO PRESENTE			STATO PROSSIMO			ECCITAZIONE		
QA=A	QB=B	QC=C	QA*	QB*	QC*	JA KA	JB KB	JC KC
1	1	0	1	1	1	- 0	- 0	1 -
1	1	1	1	0	1	- 0	- 1	- 0
1	0	1	1	0	0	- 0	0 -	- 1
1	0	0	0	0	0	- 1	0 -	0 -
0	0	0	1	1	0	1 -	1 -	0 -
0	0	1	0	1	0	0 -	1 -	- 1
0	1	0	0	1	1	0 -	- 0	1 -
0	1	1	0	0	1	0 -	- 1	- 0

QA \ QB QC	00	01	11	10
0	1 -	0 -	0 -	0 -
1	- 1	- 0	- 0	- 0

JA KA

JA = !QB!QC
KA = !QB!QC

QA \ QB QC	00	01	11	10
0	1 -	1 -	- 1	- 0
1	0 -	0 -	- 1	- 0

JB KB

JB = !QA
KB = QC

QA \ QB QC	00	01	11	10
0	0 -	- 1	- 0	1 -
1	0 -	- 1	- 0	1 -

JC KC

JC = QB
KC = !QB

2. Dato il ciclo di conteggio riportato qui di seguito
a) Si tracci la tabella delle eccitazioni del contatore sincrono facendo uso di bistabili JK (sincroni) che commutano sul fronte di discesa.

b) Si sintetizzino le funzioni J e K dei bistabili corrispondenti alle tre uscite e si disegni la struttura del circuito.

A	B	C
1	1	0
1	0	0
1	0	1
0	0	1
0	1	1
0	1	0

Traccia di soluzione

(c) Si costruisce la tabella delle transizioni del contatore (colonne STATO PROSSIMO) e quella delle eccitazioni (colonne ECCITAZIONI). Per trasformare la tabella delle transizioni del contatore in tabella delle eccitazioni si utilizza la tabella delle eccitazioni del FF JK.

TAB. ECCITAZIONI FF JK

Q	**Q***	**J**	**K**
0	**0**	**0**	**-**
0	**1**	**1**	**-**
1	**0**	**-**	**1**
1	**1**	**-**	**0**

STATO PRESENTE			**STATO PROSSIMO**			**ECCITAZIONE**		
Q2=A	**Q1=B**	**Q0=C**	**Q2***	**Q1***	**Q0***	**J2 K2**	**J1 K1**	**J0 K0**
1	1	0	1	0	0	**- 0**	**- 1**	**0 -**
1	0	0	1	0	1	**- 0**	**0 -**	**1 -**
1	0	1	0	0	1	**- 1**	**0 -**	**- 0**
0	0	1	0	1	1	**0 -**	**1 -**	**- 0**
0	1	1	0	1	0	**0 -**	**- 0**	**- 1**
0	1	0	1	1	0	**1 -**	**- 0**	**0 -**

(d) Si riportano le funzioni di eccitazioni ottenute nelle mappe di Karnaugh e si sintetizza come SOP sfruttando le condizioni di indifferenza

Q2 \ Q1 Q0	**00**	**01**	**11**	**10**
0	**- -**	**0 -**	**0 -**	**1 -**
1	**- 0**	**- 1**	**- -**	**- 0**

J2 K2

```
J2 = !Q0
K2 = Q0
```

Q2 \ Q1 Q0	00	01	11	10
0	- -	1 -	- 0	- 0
1	0 -	0 -	- -	- 1

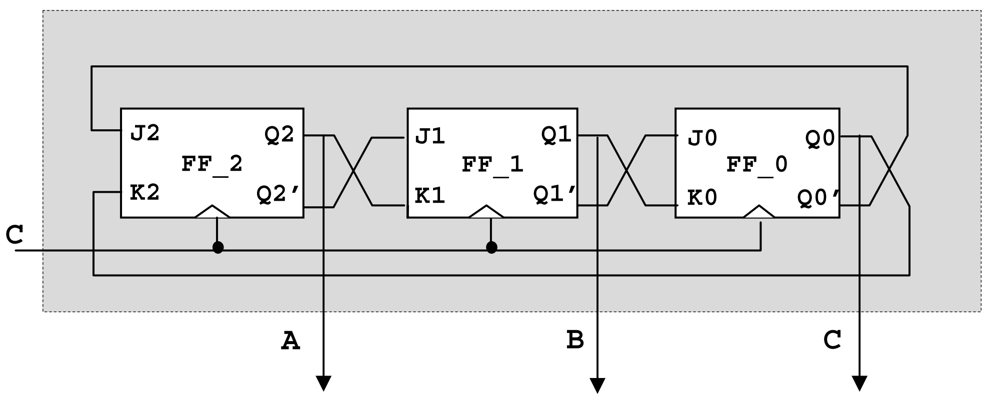
J1 K1

```
J1 = !Q2
K1 = Q2
```

Q2 \ Q1 Q0	00	01	11	10
0	- -	- 0	- 1	0 -
1	1 -	- 0	- -	0 -

J0 K0

```
J0 = !Q1
K0 = Q1
```



Variante di specifica.
Si vuole sintetizzare lo stesso contatore imponendo però che gli stati non utili non possano raggiungere nessuno degli stati utili di conteggio.

Traccia di soluzione

In questo caso è necessario considerare esplicitamente gli stati non utili nella tabella delle transizioni (e quindi in quelle delle eccitazioni) e imporre che generino un anello.

STATO PRESENTE			**STATO PROSSIMO**			**ECCITAZIONE**		
Q2=A	**Q1=B**	**Q0=C**	**Q2***	**Q1***	**Q0***	**J2 K2**	**J1 K1**	**J0 K0**
1	1	0	1	0	0	**- 0**	**- 1**	**0 -**
1	0	0	1	0	1	**- 0**	**0 -**	**1 -**
1	0	1	0	0	1	**- 1**	**0 -**	**- 0**
0	0	1	0	1	1	**0 -**	**1 -**	**- 0**
0	1	1	0	1	0	**0 -**	**- 0**	**- 1**
0	1	0	1	1	0	**1 -**	**- 0**	**0 -**
0	0	0	1	1	1	**1 -**	**1 -**	**1 -**
1	1	1	0	0	0	**- 1**	**- 1**	**- 1**

Si sintetizzano quindi le funzioni di eccitazioni con le nuove specifiche.

SINTESI DI FSM COMPLETAMENTE SPECIFICATE

1. Data la seguente tabella degli stati, in cui è specificato lo stato di reset (RST):

St\i	0	1
RST	B/1	G/0
B	B/0	D/1
C	E/1	C/0
D	B/0	F/1
E	C/1	E/0
F	D/0	F/1
G	B/1	RST/0

Si identifichi la macchina minima equivalente, si determini se la soluzione è unica (giustificare la risposta) e si rappresenti la tabella degli stati e il diagramma degli stati della macchina individuata.

Si sintetizzi la macchina così ottenuta (funzione stato prossimo e funzione di uscita) con bistabili SR e si disegni il circuito corrispondente.

Traccia di soluzione

La macchina (tipo Mealy) ha uno stato reset (RST). La prima analisi da effettuare riguarda la raggiungibilità degli stati a partire da quello di reset per eliminare gli eventuali stati non raggiungibili.

Gli stati non raggiungibili dallo stato di reset possono essere ricavati o tracciando il diagramma degli stati associato alla tabella data, oppure direttamente dalla tabella. A partire dallo stato di reset –RST- si costruisce l'insieme degli stati raggiunti per ogni possibile simbolo di ingresso sostiutendo gli stati già "visitati" con il un simbolo "-". Applicando questo criterio si ha:

{RST{B, G}}

{RST{B{-,D},G{-,-}} = {RST{B{D},G}

{RST{B{D{-,F}},G} ={RST{B{D{F}},G}

{RST{B{D{F{-,-}}},G}={RST{B{D{F}},G}

da cui, eliminando le parentesi graffe, si ottengono i soli stati raggiungibili {RST, B, D, F, G}

La tabella degli stati ottenuta eliminando gli stati irraggiungibili è:

St\i	0	1
RST	B/1	G/0
B	B/0	D/1
D	B/0	F/1
F	D/0	F/1
G	B/1	RST/0

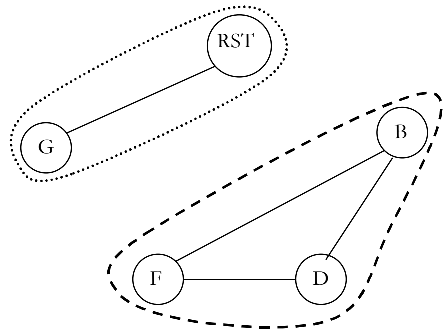
Dalla tabella degli stati fornita si ricava la seguente tabella delle implicazioni:

B	X			
D	X	D,F		
F	X	B,D D,F	BD	
G	~	X	X	X
	RST	B	D	F

Analizzando la tabella nessuna distinguibilità (X) può essere propagata ed il risultato ottenuto è il seguente:

	RST	B	D	F
B	X			
D	X	~		
F	X	~	~	
G	~	X	X	X

Dalla tabella delle implicazioni si ricava in grafo delle equivalenze.

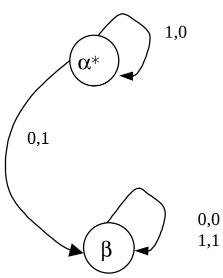


Le classi di equivalenza individuate, e quindi gli stati della macchina minima, sono: α^*={RST, G}; β={B, D, F} con α^* stato di reset della macchina minima. La macchina così individuata è unica perché deriva da relazioni di raggiungibilità e di equivalenza.

La corrispondente tabella degli stati ridotta è:

$Q \backslash Q^*/Z$	0	1
α^*	β/1	α^*/0
β	β/0	β/1

Il diagramma degli stati corrispondente è



Essendo gli stati due, il numero minore possibile di bit per la codifica è 1.

α^*	0
β	1

La corrispondente tabella delle transizioni è:

y/I	0	1
0	Y=1	Y=0
1	Y=1	Y=1

La funzione di uscita, invece, è:

y/I	0	1
0	U=1	U=0
1	U=0	U=1

Per bistabili di tipo SR, la tabella delle eccitazioni è:

Q/I	0	1
0	S=1,R=0	S=0,R=-
1	S=-,R=0	S=-,R=0

La forma minima a due livelli di S e R è:

S=I'
R=0

2. Data la seguente tabelle degli stati, in cui è specificato lo stato di reset (RST):

St\i	0	1
RST	C/0	E/1
B	G/0	E/1
C	RST/0	D/0
D	G/0	E/1
E	E/0	G/1
F	F/0	C/1
G	G/0	G/1

a) Si identifichi la macchina minima equivalente considerando i problemi di raggiungibilità

b) Si dica se la soluzione è unica (giustificare la risposta)

c) Si rappresenti la tabella degli stati e il diagramma degli stati della macchina individuata

d) Si definisca un buon assegnamento degli stati, secondo i criteri visti a lezione, e si dica se e quali vincoli di assegnamento non sono soddisfabili.

e) Si sintetizzi la macchina così ottenuta (funzione stato prossimo e funzione di uscita) con bistabili D e si disegni il circuito corrispondente.

Traccia di soluzione

La macchina (tipo Mealy) ha uno stato reset (RST). La prima analisi da effettuare riguarda la raggiungibilità degli stati a partire da quello di reset per eliminare gli eventuali stati non raggiungibili.

Gli stati non raggiungibili dallo atato di reset possono essere ricavati o tracciando il diagramma degli stati associato alla tabella data, oppure direttamente dalla tabella.

{RST{C, E}}

{RST{C{-,D},E{-,G}} = {RST{C{D}, E{G}}}

{RST{C{D{-,-}}, E{G{-,-}}}} = {RST{C{D}}, E{G}}} =RST,C,D,E,G (STATI RAGGIUNGIBILI)

La tabella degli stati ottenuta eliminando gli stati irraggiungibili è:

St\i	0	1
RST	C/0	E/1
C	RST/0	D/0
D	G/0	E/1
E	E/0	G/1
G	G/0	G/1

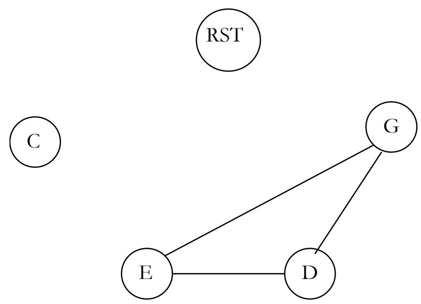
Dalla tabella degli stati si ricava la seguente tabella delle implicazioni:

C	X			
D	CG	X		
E	CE EG	X	EG	
G	CG EG	X	EG	~
	RST	C	D	E

Analizzando la tabella si ottiene:

C	X			
D	~~CG~~	X		
E	~~CE EG~~	X	GE ~	
G	~~CG EG~~	X	EG ~	~
	RST	C	D	E

Dalla tabella delle implicazioni si ricava in grafo delle equivalenze.

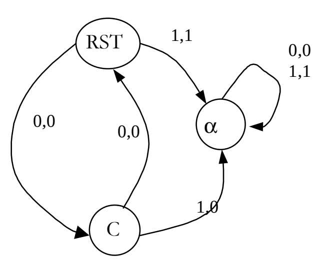


Le classi di equivalenza individuate, e quindi gli stati della macchina minima, sono: RST, C, α={D, E, G}. La macchina così individuata è unica perché deriva da relazioni di raggiungibilità e di equivalenza.

La corrispondente tabella degli stati ridotta è:

$Q \backslash Q^*/Z$	0	1
RST	C,0	α,1
C	RST,0	α,0
α	α,0	α,1

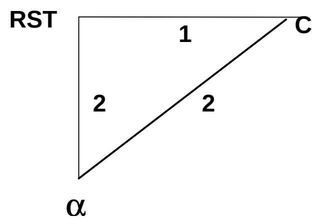
Il diagramma degli stati corrispondente è



Si determina l'assegnamento degli stati.

Secondo il primo criterio si ha:	Secondo il secondo criterio si ha:
RST,C	C, α
RST, α	RST, α
C, α	

Tracciando il grafo delle adiacenze si ha che



Ipotizzando di mantenere il vincolo di adiacenza tra le codifiche di **RST** e α, i due rimanenti sono in mutua esclusione, quindi uno dei due non può essere soddisfatto. Decidiamo di eliminare quello con il peso minore (quello tra **RST** e **C**).
Per codificare tre stati servono come minimo due bit.
Una codifica che rispetta i vincoli indicati è:

RST	00
α	01
C	11

La tabella delle transizioni (identica a quella delle eccitazioni, dal momento che si utilizzano bistabili D) è quindi:

y0y1/I	0	1
00	Y0Y1=11	Y0Y1=01
01	Y0Y1=01	Y0Y1=01
11	Y0Y1=00	Y0Y1=01
10	Y0Y1=--	Y0Y1=--

Mentre la funzione di uscita è :

y0y1/I	0	1
00	0	1
01	0	1
11	0	0
10	-	-

La sintesi delle funzioni di eccitazione e uscita è dunque:

D0=Q1'*I'

D1=Q0'+I

U=Q0'*I

3. Data la seguente tabelle degli stati, in cui è specificato lo stato di reset (RST):

St\i	0	1
RST	H,0	G,1
B	C,0	E,0
C	B,0	RST,0
D	E,1	H,0
E	H,0	D,1
F	E,1	C,0
G	RST,1	H,0
H	RST,1	B,0

f) Si identifichi la macchina minima equivalente considerando i problemi di raggiungibilità

g) Si dica se la soluzione è unica (giustificare la risposta)

h) Si rappresenti la tabella degli stati e il diagramma degli stati della macchina individuata

i) Si definisca un buon assegnamento degli stati, secondo i criteri visti a lezione, e si dica se e quali vincoli di assegnamento non sono soddisfacibili

Traccia di soluzione

La macchina (tipo Mealy) ha uno stato reset (RST). La prima analisi da effettuare riguarda la raggiungibilità degli stati a partire da quello di reset per eliminare gli eventuali stati non raggiungibili.

Gli stati non raggiungibili dallo atato di reset possono essere ricavati o tracciando il diagramma degli stati associato alla tabella data, oppure direttamente dalla tabella.

{RST{H, G}}

{RST{H{-,B},G{-,-}} = {RST{H{B}, G}}

{RST{H{B{C,E}}, G}} = {RST{H{B{C{-,-},E{-,D}}},G}}

{RST{H{B{C},E{D}}},G}} = {RST{H{B{C},E{D{-,-}}}},G}}

{RST{H{B{C},E{D}}},G}} = RST,H,B,C,E,D,G (STATI RAGGIUNGIBILI)

La tabella degli stati ottenuta eliminando gli stati irraggiungibili è:

St\i	0	1
RST	H,0	G,1
B	C,0	E,0
C	B,0	RST,0
D	E,1	H,0
E	H,0	D,1
G	RST,1	H,0
H	RST,1	B,0

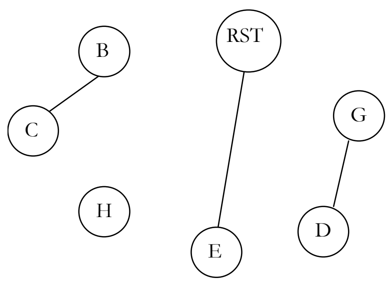
Dalla tabella degli stati si ricava la seguente tabella delle implicazioni:

B	X					
C	X	E,RST				
D	X	X	X			
E	GD	X	X	X		
G	X	X	X	E,RST	X	
H	X	X	X	E,RST B,H	X	BH
	RST	B	C	D	E	G

Analizzando la tabella si ottiene:

B	X					
C	X	E,RST				
D	X	X	X			
E	GD	X	X	X		
G	X	X	X	E,RST	X	
H	X	X	X	~~E,RST B,H~~	X	~~BH~~
	RST	B	C	D	E	G

Dalla tabella delle implicazioni si ricava in grafo delle equivalenze.

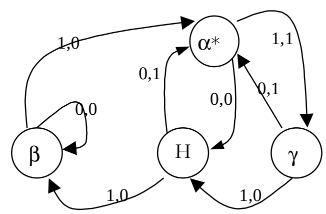


Le classi di equivalenza individuate, e quindi gli stati della macchina minima, sono: α*={RST,E}, β={B,C}, γ={D,G}e H. La macchina così individuata è unica perchè deriva da relazioni di raggiungibilità e di equivalenza.

La corrispondente tabella degli stati ridotta è:

$Q\backslash Q^*/Z$	0	1
α*	H,0	γ,1
β	β,0	α*,0
γ	α*,1	H,0
H	α*,1	β,0

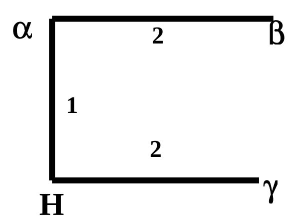
Il diagramma degli stati corrispondente è



Si determina l'assegnamento degli stati.

Secondo il primo criterio si ha:	Secondo il secondo criterio si ha:
γ,H	γ, H
	β, α
	α, H
	β, α

Tracciando il grafo delle adiacenze si ha che



Un possibile assegnamento che rispetti i vincoli di adiacenza assunti è:

α*	01
β	00
γ	10
H	11

4. Data la seguente tabella degli stati:

	0	1	Z
S0	S3	S1	0
S1	S1	S2	0
S2	S0	S3	1
S3	S1	S4	1
S4	S2	S1	0

a) Si determini la macchina minima equivalente tracciando la nuova tabella degli stati.

S1	~~S1S2~~ ~~S1S3~~			
S2	X	X		
S3	X	X	S0S1 ~~S3S4~~	
S4	~~S3S2~~	~~S1S2~~	X	X
	S0	S1	S2	S3

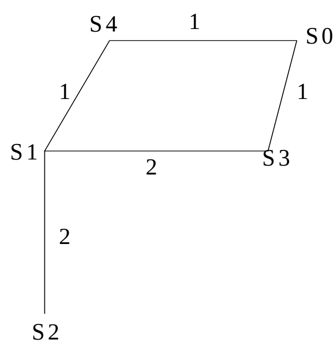
La macchina è minima quindi la tabella degli stati è identica a quella iniziale

b) Si determini l’assegnamento degli stati.

Secondo il primo criterio si ha:
S0,S4 S1
S1,S3 S1

Secondo il secondo criterio si ha:
S3,S1
S1,S2
S0,S3
S1,S4
S2,S1

Tracciando il grafo delle adiacenze si ha che



Si riescono a rispettare tutti i vincoli (3 bit.), ci sono più assegnamenti possibili.

S4	**S1**	**S3**	**S0**
	S2		

Possibile assegnamento: S4=000 S1=001 S0=010 S3=011 S2=101
NOTA: sono possibili altri assegnamenti

c) Si sintetizzi la funzione di uscita z.

La funzione Z, con l'assegnamento individuato al punto precedente, è rappresentata dalla seguente tabella della verità

	Q2 Q1 Q0	Z
S0	0 1 0	0
S1	0 0 1	0
S2	1 0 1	1
S3	0 1 1	1
S4	0 0 0	0

Q2 \ Q1Q0	00	01	11	10
0	**0**	**0**	**1**	**0**
1	**-**	**1**	**-**	**-**

$$\boxed{Z = Q1Q0 + Q2}$$

SINTESI DI FSM NON COMPLETAMENTE SPECIFICATE

1. Data la seguente tabella degli stati:

(a) si esegua l'analisi di compatibilità

(b) si determinino le classi di massima compatibilità tramite gli algoritmi visti a lezione

(c) si identifichi una macchina ridotta compatibile tramite gli algoritmi visti a lezione, se ne tracci la nuova tabella degli stati e il relativo diagramma degli stati;

(d) Si indichi il limite superiore al numero degli stati nella macchina ridotta e si dica se la macchina ottenuta è unica, motivando la risposta

(e) Si indichi nella macchina ridotta ottenuta quale deve essere lo stato di RESET, affinchè la soluzione identificata al punto c) non sia più suscettibile di ulteriori riduzioni

St\i	0	1
A	C,0	G,1
B	G,0	G,1
C	A,-	B,0
D	B,-	G,0
E	E,-	C,1
F	F,-	D,1
G	-,-	A,-

Traccia di soluzione

(a) Analisi di compatibilità

B	CG					
C	**X**	X				
D	X	X	AB BG			
E	CE GC	EG GC	X	X		
F	CF GD	GF GD	X	X	CD	
G	V	GA	AB	GA	CA	DA
	A	**B**	**C**	**D**	**E**	**F**

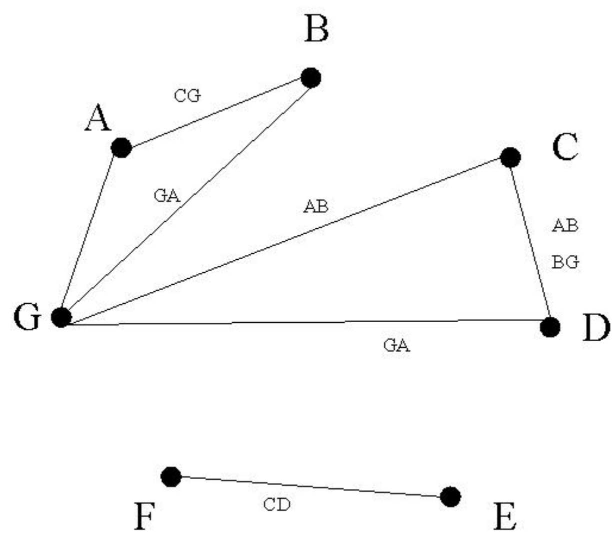
TABELLA DELLE IMPLICAZIONI

Analizzando la tabella e propagando le non compatibilità si ottiene la tabella seguente

B	CG					
C	**X**	X				
D	X	X	AB BG			
E	~~CE GC~~	~~EG GC~~	X	X		
F	~~CF GD~~	~~GF GD~~	X	X	CD	
G	V	GA	AB	GA	~~CA~~	~~DA~~
	A	**B**	**C**	**D**	**E**	**F**

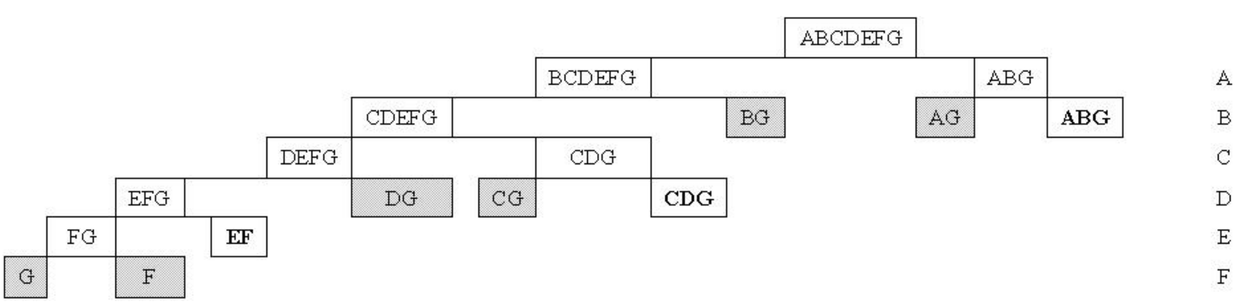
TABELLA DELLE IMPLICAZIONI dopo l'analisi

a) Si determinano le classi di massima compatibilità derivando il grafo di compatibilità dalla tabella delle implicazioni analizzata



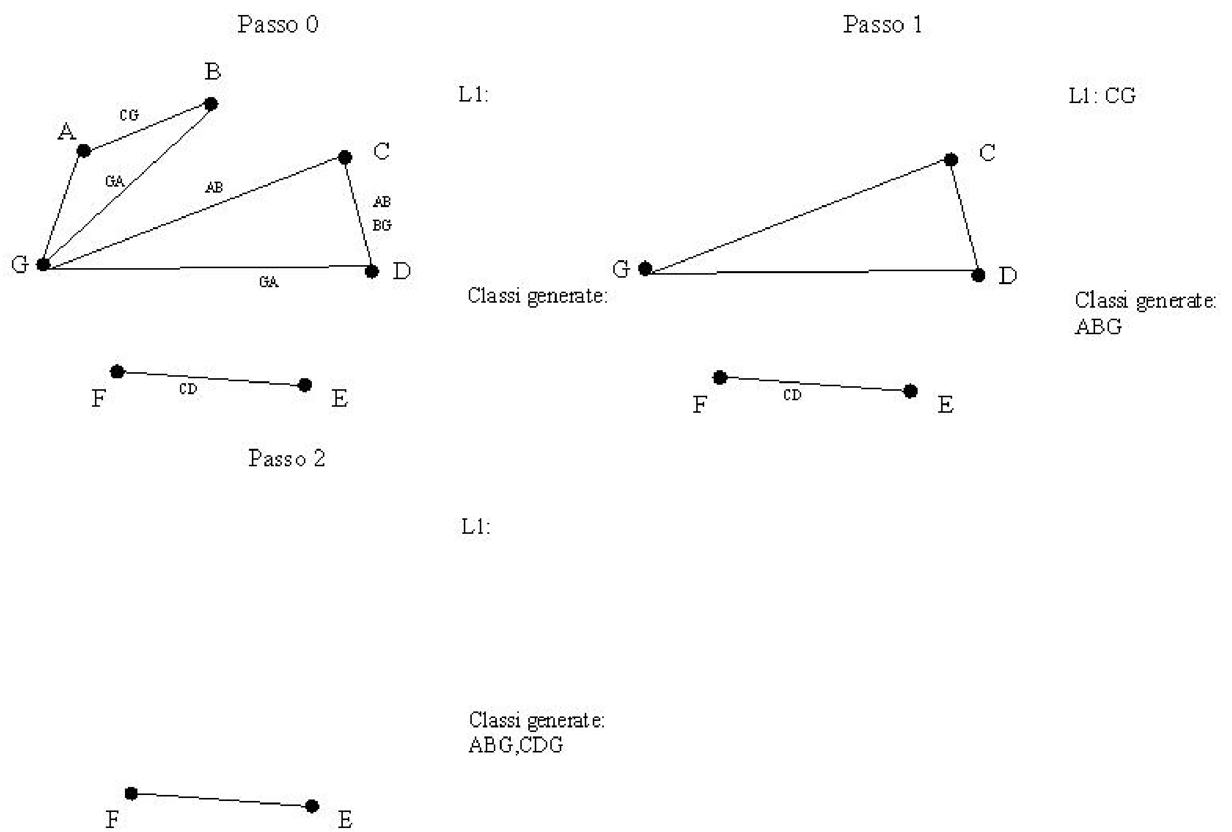
Le classi di massima compatibilità sono i sottografi completi non contenuti in altri sottografi e risultano essere:
(A, B, G)
(G, C, D)
(E, F)

Conferma della soluzione trovata viene anche dall'algoritmo visto a lezione:



b) Una possibile macchina ridotta è quella costituita considerando come stati tutte le classi di massima compatibilità: questo porterebbe ad una macchina costituita da 3 stati.

E' semplice verificare che questa è anche la macchina minima (cioè non esiste nessun altro insieme di classi di compatibilità con cardinalità inferiore e chiuse che coprano la macchina).
Stessa soluzione è ricavabile applicando l'algoritmo visto a lezione:



La copertura è dunque la seguente:

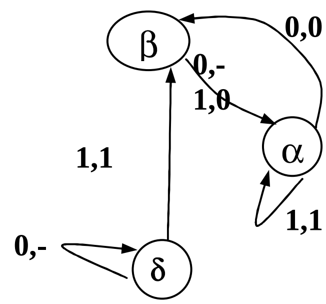
(A, B, G) = α
(G, C, D) = β
(E, F) = δ

con la relativa tabella degli stati

St\i	0	1
α	β,0	α,1
β	α,-	α,0
δ	δ,-	β,1

c) Il limite superiore al numero degli stati della macchina ridotta è pari al numero delle classi di massima compatibilità, cioè 3. La macchina ottenuta al punto c) è minima e unica.

d) Lo stato di reset che rende la macchina in c) non suscettibile di ulteriori riduzioni è ricavabile ad esempio dall'analisi del diagramma degli stati ed è γ. Adottando infatti α (o β) come stato di RESET, lo stato γ risulterebbe non raggiungibile e quindi la macchina potrebbe essere ulteriormente ridotta (a 2 stati) eliminando lo stato irraggiungibile.



2. Data la seguente tabella degli stati:

St\i	0	1
A	B,-	C,-
B	A,0	B,0
C	E,0	C,0
D	A,-	D,-
E	B,1	B,1

a) Si esegua l'analisi di compatibilità

b) Si determinino le classi di massima compatibilità tramite gli algoritmi visti a lezione,

c) Si identifichi una macchina ridotta compatibile tramite gli algoritmi visti a lezione, se ne tracci la nuova tabella degli stati e il relativo diagramma degli stati

d) Si dica quale è il minor numero di bistabili necessari a sintetizzare la macchina

e) Si ipotizzi che per fare la sintesi vengano utilizzati bistabili JK. Si sintetizzi la funzione di uscita della macchina

Traccia di soluzione

a) Analisi di compatibilità

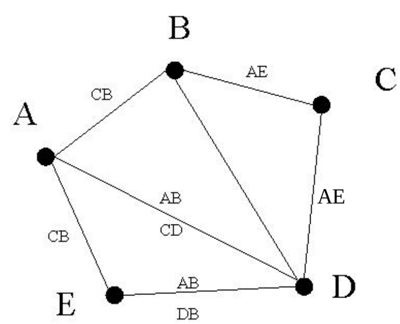
B	CB			
C	BE	AE		
D	AB CD	V	EA	
E	CB	X	X	AB DB
	A	**B**	**C**	**D**

TABELLA DELLE IMPLICAZIONI

Analizzando la tabella e propagando le non compatibilità si ottiene la tabella seguente

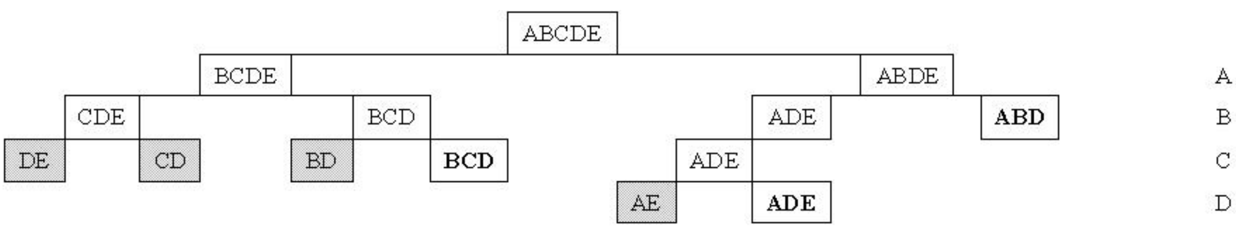
	A	B	C	D
B	CB			
C	~~BE~~	AE		
D	AB CD	V	EA	
E	CB	X	X	AB DB

b) Si determinano le classi di massima compatibilità derivando il grafo di compatibilità dalla tabella delle implicazioni analizzata



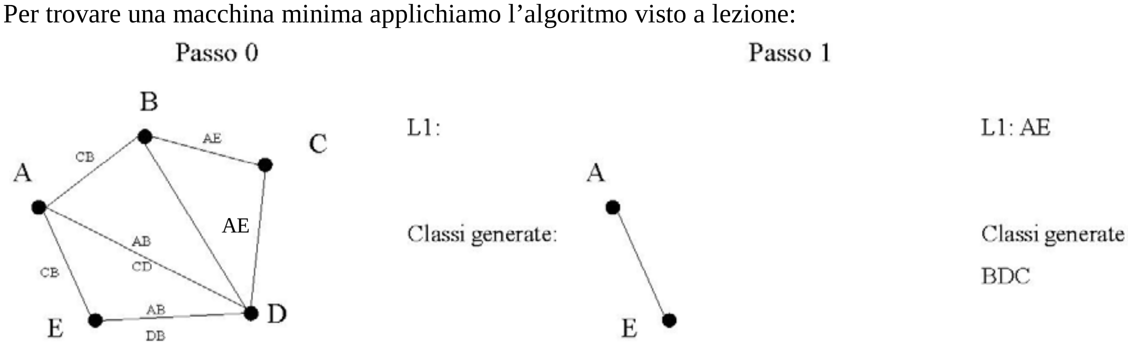
Le classi di massima compatibilità sono i sottografi completi non contenuti in altri sottografi e risultano essere:
(A, E, D) (A, B, D) (D, B,C)

Conferma della soluzione trovata viene anche dall'algoritmo visto a lezione:



Il limite superiore al numero degli stati della macchina ridotta compatibile è quindi 3.

Per trovare una macchina minima applichiamo l'algoritmo visto a lezione:



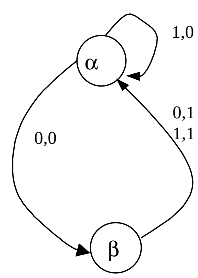
L’algoritmo è stato applicato in modo ottimizzato. Al Passo 1, scegliendo la classe BCD è possibile estrarre dal grafo di partenza i nodi C e D (ma non il nodo B che compare nei vincoli AB). L’estrazione dei nodi C e D comporta però l’eliminazione degli archi che contenevano il vincolo AB. Quindi B non compare più in alcun vincolo del grafo rimanente e può essere estratto (poiché appartiene alla classe scelta). Il grafo risultante dopo la scelta di BCD è costituito dai soli nodi AE come mostrato in figura.
Si procede quindi con il Passo 2 (che è l’ultimo) che parte da una lista contenente il vincolo AE.

La macchina minima è quella costituita dalle seguenti classi di compatibilità chiuse: (D,B,C)=α e (A, E) = β che coprono la macchina data, sono disgiunte e non sono tutte formate da classi di massima compatibilità.

La relativa tabella degli stati è

St\i	0	1
α	β,0	α,0
β	α,1	α,1

e il diagramma degli stati



e) La macchina ottenuta ha 2 stati, quindi il minimo numero di bistabili è 1.

f) La sintesi della funzione di uscita non dipende dal tipo di bistabile scelto e risulta la seguente (ipotizzando di aver codificato gli stati come α=0 e β=1)

Q \ I	0	1
0	0	0
1	1	1

U = Q

3. Data la seguente tabella degli stati:

St\i	0	1
A	B,-	G,-
B	F,0	D,1
D	-,0	A,-
F	D,-	F,1
G	B,-	-,0

f) Si esegua l'analisi di compatibilità

g) Si determinino le classi di massima compatibilità tramite gli algoritmi visti a lezione,

h) Si identifichi la macchina ridotta compatibile con il minor numero di stati, se ne tracci la nuova tabella degli stati e il relativo diagramma degli stati

i) Si dica quale è il minor numero di bistabili necessari a sintetizzare la macchina

Traccia di soluzione

(a) Analisi di compatibilità

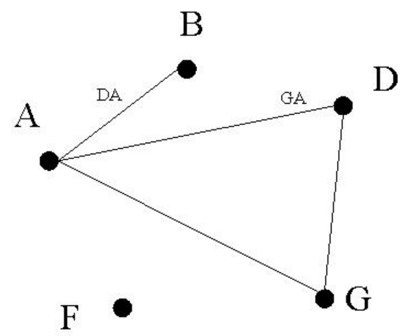
B	BF, GD			
D	GA	DA		
F	BD,FG	DF	AF	
G	V	X	V	X
	A	**B**	**D**	**F**

TABELLA DELLE IMPLICAZIONI

Analizzando la tabella e propagando le non compatibilità si ottiene la tabella seguente

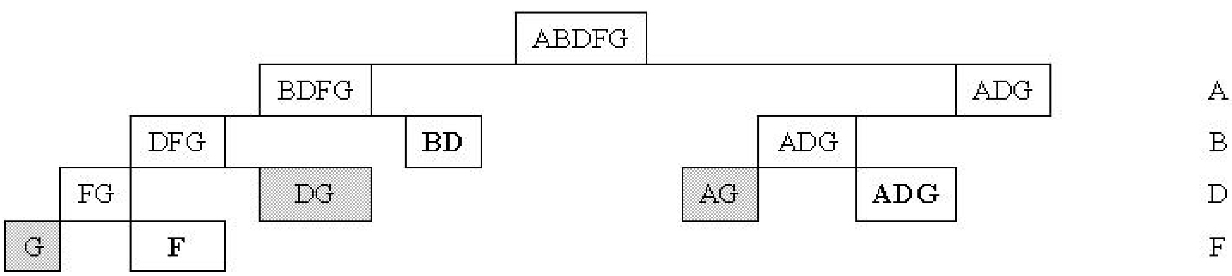
B	~~BF,GD~~			
D	GA	DA		
F	~~BD,FG~~	~~DF~~	~~AF~~	
G	V	X	V	X
	A	**B**	**D**	**F**

g) Si determinano le classi di massima compatibilità derivando il grafo di compatibilità dalla tabella delle implicazioni analizzata



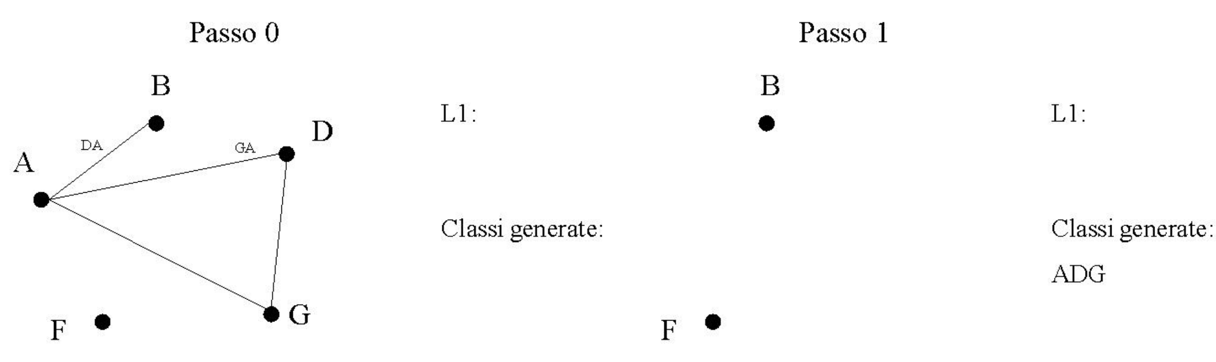
Le classi di massima compatibilità sono i sottografi completi non contenuti in altri sottografi e risultano essere:
(A, D, G)
(B, D)
(F)

Conferma della soluzione trovata viene anche dall’algoritmo visto a lezione:



Il limite superiore al numero degli stati della macchina ridotta compatibile è quindi 3.

Per trovare la macchina minima applichiamo l’algoritmo visto a lezione:

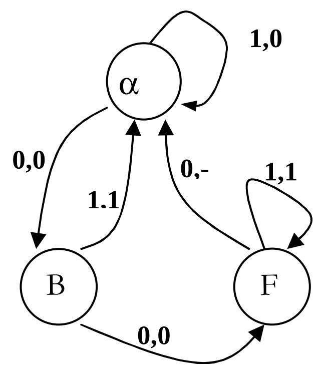


La macchina minima è quella costituita dalle seguenti classi di compatibilità chiuse: (A,D,G)=α , B e F che coprono la macchina data, sono disgiunte e non sono tutte formate da classi di massima compatibilità.

La relativa tabella degli stati è

St\i	0	1
α	B,0	α,0
B	F,0	α,1
F	α,-	F,1

e il diagramma degli stati



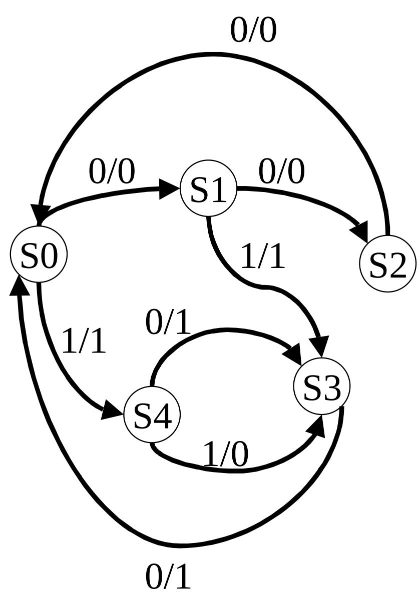
(d) La macchina ottenuta ha 3 stati, quindi il minimo numero di bistabili è 2.

DALLE SPECIFICHE AL DIAGRAMMA DEGLI STATI

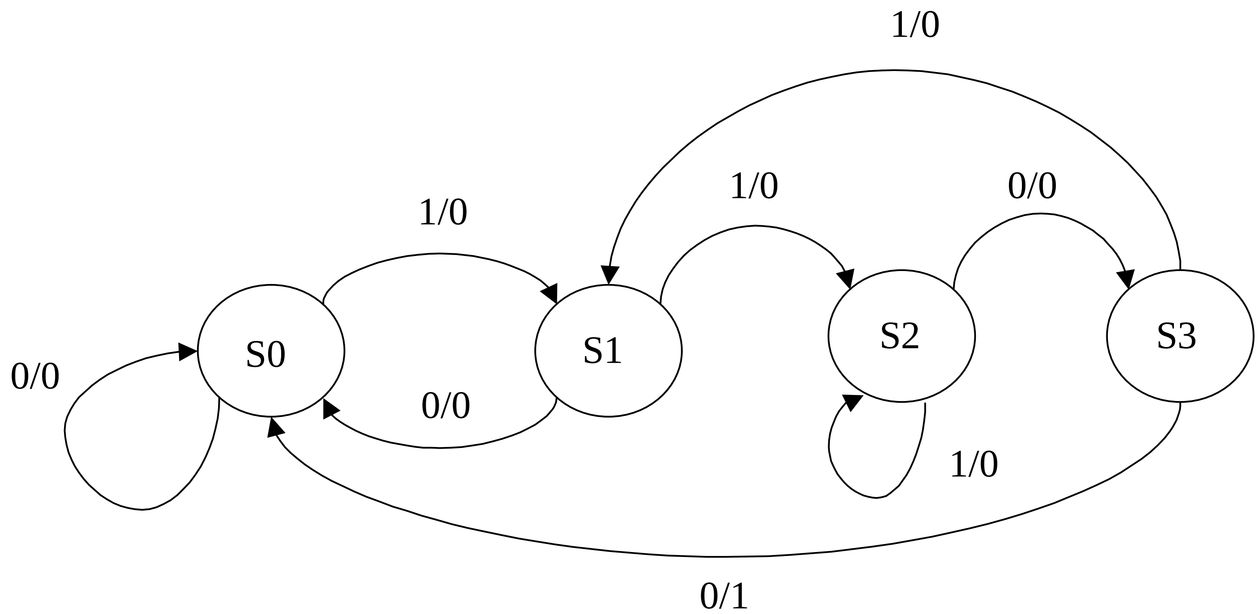
1. Data la seguente tabella di conversione dalla codifica binaria alla codifica in complemento a due. Si costruisca il diagramma della macchina a stati che riceve serialmente dal bit meno significativo a quello più significativo il dato codificato binario e produca serialmente il dato codificato in complemento a due.

000	**000**
001	**111**
010	**110**
011	**101**

Soluzione:
La macchina a stati di Mealy non completamente specificata ha quindi il seguente diagramma degli stati.



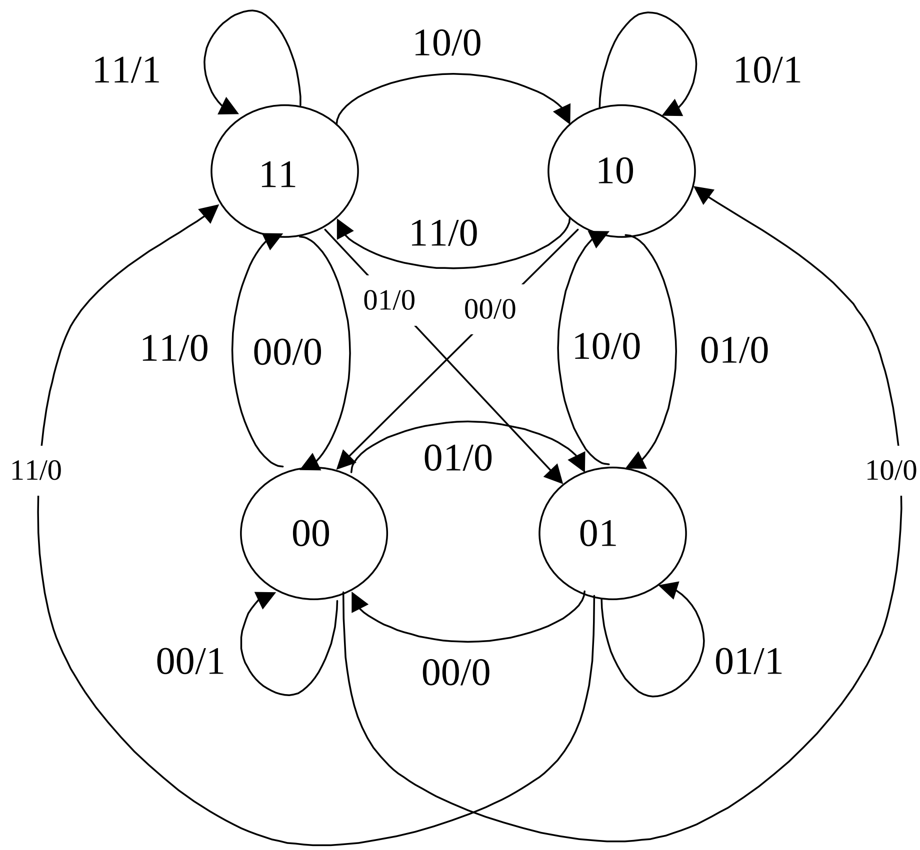
2. Data una macchina sequenziale sincrona con un ingresso x e un'uscita z. La macchina deve riconoscere la **sottosequenza** 1100 e portare l'uscita a 1 in corrispondenza del secondo zero. In ogni altro caso z è uguale a 0. Si costruisca il diagramma della macchina a stati che descrive questa macchina sequenziale.



3. Data una macchina sequenziale sincrona con un ingresso x , y e un’uscita z. La macchina segue le sequenti specifiche:

- Ogni volta che l’ingresso x rimane identico al valore x’ applicato nel ciclo precedente e che l’ingresso y rimane identico al valore y’ applicato nel ciclo precedente l’uscita vale 1;
- In tutti gli altri casi l’uscita assume valore 0.

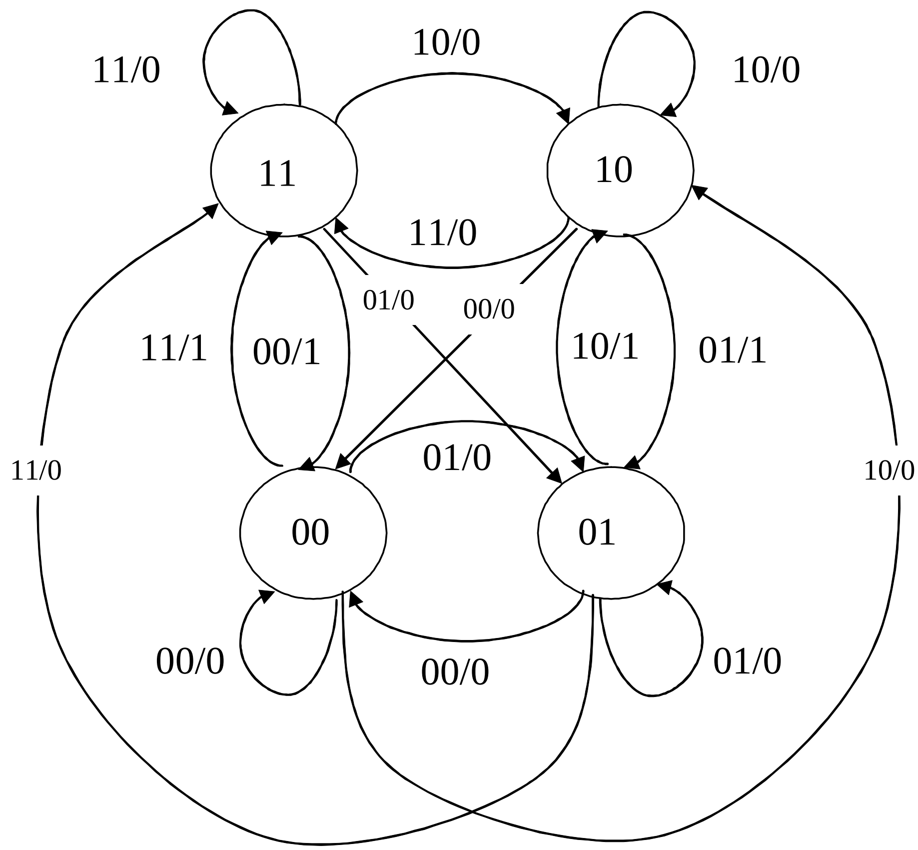
Si costruisca il diagramma della macchina a stati che descrive questa macchina sequenziale.



4. Data una macchina sequenziale sincrona con un ingresso x , y e un'uscita z. La macchina segue le sequenti specifiche:

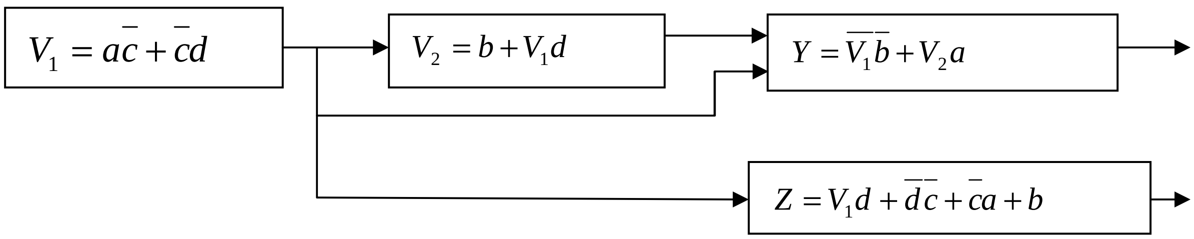
- Ogni volta che l'ingresso x è diverso dal valore x' applicato nel ciclo precedente **e che** l'ingresso y è diverso dal valore y' applicato nel ciclo precedente l'uscita vale 1;
- In tutti gli altri casi l'uscita assume valore 0.

Si costruisca il diagramma della macchina a stati che descrive questa macchina sequenziale.



COMPONENTI PROGRAMMABILI

1. Data la seguente rete combinatoria multi livello con ingressi (a, b, c, d) e uscite (Y, Z)



a) Realizzare la rete combinatoria tramite PLA (si suppone di avere a disposizione tutti i termini prodotto necessari). Si indichino esplicitamente i termini prodotto del piano AND e le espressioni relative al piano OR, si disegni anche lo schema logico delle interconnessioni da programmare.

SOLUZIONE

Termini prodotto e sezione OR da realizzare

$P_1 = a\overline{c}$

$P_2 = \overline{c}d$

$P_3 = b$

$P_4 = V_1 d$

$P_5 = \overline{V_1}\,\overline{b}$

$P_6 = V_2 a$

$P_7 = \overline{d}\,\overline{c}$

$V_1 = P_1 + P_2$

$V_2 = P_3 + P_4$

$Y = P_5 + P_6$

$Z = P_4 + P_7 + P_1 + P_3$

b) Realizzazione la rete combinatoria tramite PAL(si suppone di avere a disposizione tutti i termini prodotto necessari e di avere solo porte or a due ingressi). Si indichino esplicitamente i termini prodotto del piano AND e le espressioni relative al piano OR, si disegni anche lo schema logico delle interconnessioni da programmare.

SOLUZIONE

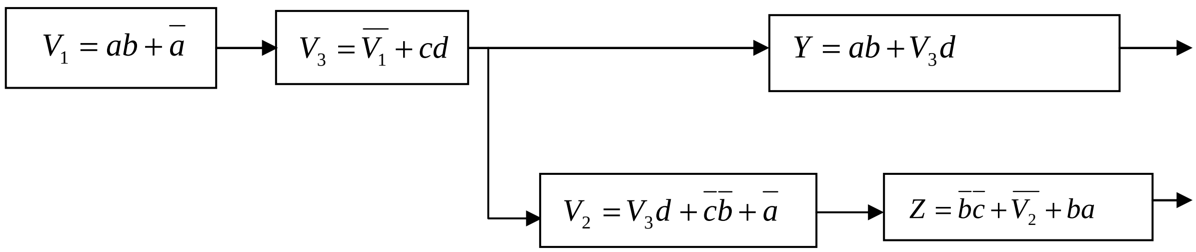
Termini prodotto e sezione OR da realizzare

$$P_1 = a\bar{c}$$
$$P_2 = \bar{c}d$$
$$P_3 = b$$
$$P_4 = V_1 d$$
$$P_5 = \overline{V_1}\,\bar{b}$$
$$P_6 = V_2 a$$
$$P_7 = V_1 d$$
$$P_8 = \bar{d}\,\bar{c}$$
$$P_9 = a\bar{c}$$
$$P_{10} = b$$
$$P_{11} = Z_1$$
$$P_{12} = Z_2$$

$$V_1 = P_1 + P_2$$
$$V_2 = P_3 + P_4$$
$$Y = P_5 + P_6$$
$$Z_1 = P_7 + P_8$$
$$Z_2 = P_9 + P_{10}$$
$$Z = P_{11} + P_{12}$$
oppure

$$P_{11} = Z_2$$
$$Z_1 = V_2$$
$$Z_2 = P_8 + P_9$$
$$Z = V_2 + P_{11}$$

2. Data la seguente rete combinatoria multi livello con ingressi (a, b, c, d) e uscite (Y, Z)



a) Realizzare la rete combinatoria tramite PLA (si suppone di avere a disposizione tutti i termini prodotto necessari).

SOLUZIONE
Termini prodotto e sezione OR da realizzare

$P_1 = ab$
$P_2 = \overline{a}$
$P_3 = V_3 d$
$P_4 = \overline{c}\,\overline{b}$
$P_5 = \overline{V_1}$
$P_6 = cd$
$P_7 = \overline{V_2}$

$V_1 = P_1 + P_2$
$V_2 = P_3 + P_4 + P_2$
$V_3 = P_5 + P_6$
$Y = P_1 + P_3$
$Z = P_4 + P_7 + P_1$

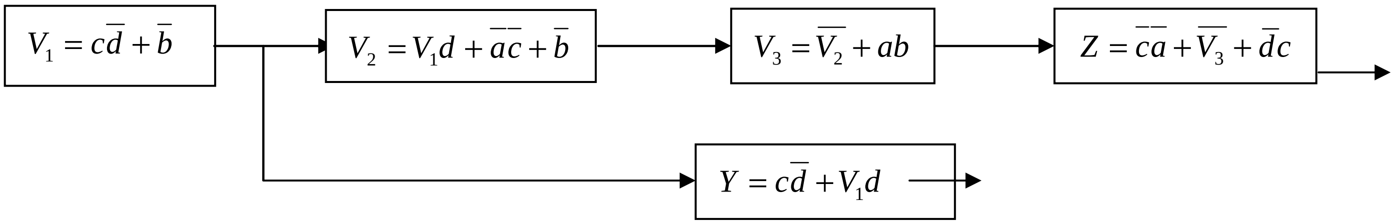
b) Realizzazione la rete combinatoria tramite PAL(si suppone di avere a disposizione tutti i termini prodotto necessari e di avere solo porte or a due ingressi).

SOLUZIONE
Termini prodotto e sezione OR da realizzare

$$P_1 = ab$$
$$P_2 = \overline{a}$$
$$P_3 = V_3 d$$
$$P_4 = \overline{c}\overline{b}$$
$$P_5 = \overline{a}$$
$$P_6 = \overline{V_1}$$
$$P_7 = cd$$
$$P_8 = ab$$
$$P_9 = V_3 d$$
$$P_{10} = \overline{c}\overline{b}$$
$$P_{11} = \overline{V_2}$$
$$P_{12} = ab$$
$$P_{13} = V_{21}$$
$$P_{14} = Z_1$$

$$V_1 = P_1 + P_2$$
$$V_{21} = P_3 + P_4$$
$$V_2 = P_{13} + P_5$$
$$V_3 = P_6 + P_7$$
$$Y = P_8 + P_9$$
$$Z_1 = P_{10} + P_{11}$$
$$Z = P_{14} + P_{12}$$

3. Data la seguente rete combinatoria multilivello.



a) Realizzare la rete combinatoria tramite PLA (si suppone di avere a disposizione tutti i termini prodotto necessari).

<u>SOLUZIONE</u>
<u>Termini prodotto e sezione OR da realizzare</u>

$$P_1 = c\bar{d}$$
$$P_2 = \bar{b}$$
$$P_3 = V_1 d$$
$$P_4 = \bar{a}\bar{c}$$
$$P_5 = \overline{V_2}$$
$$P_6 = ab$$
$$P_7 = \overline{V_3}$$

$$V_1 = P_1 + P_2$$
$$V_2 = P_3 + P_4 + P_2$$
$$V_3 = P_5 + P_6$$
$$Y = P_1 + P_3$$
$$Z = P_4 + P_7 + P_1$$

b) Realizzazione la rete combinatoria tramite PAL(si suppone di avere a disposizione tutti i termini prodotto necessari e di avere solo porte or a due ingressi).

SOLUZIONE

Termini prodotto e sezione OR da realizzare

$$P_1 = c\overline{d}$$
$$P_2 = \overline{b}$$
$$P_3 = V_1 d$$
$$P_4 = \overline{a}\overline{c}$$
$$P_5 = \overline{b}$$
$$P_6 = \overline{V_2}$$
$$P_7 = ab$$
$$P_8 = c\overline{d}$$
$$P_9 = V_1 d$$
$$P_{10} = \overline{c}\overline{a}$$
$$P_{11} = \overline{V_3}$$
$$P_{12} = \overline{d}c$$
$$P_{13} = V_{21}$$
$$P_{14} = Z_1$$

$$V_1 = P_1 + P_2$$
$$V_{21} = P_3 + P_4$$
$$V_2 = P_{13} + P_5$$
$$V_3 = P_6 + P_7$$
$$Y = P_8 + P_9$$
$$Z_1 = P_{10} + P_{11}$$
$$Z = P_{14} + P_{12}$$