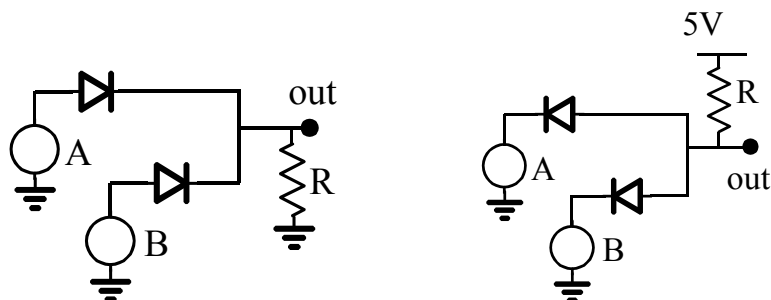


Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

### Esercizio 1

I due circuiti a diodi in figura 1 possono essere utilizzati come porte logiche. Sapendo che i due generatori A e B di tensione possono assumere i valori di 5 Volt e 0 Volt:

- Determinare la funzione logica svolta da ognuno dei due circuiti.
- Valutare in entrambi i casi qual è lo stato di uscita per cui la potenza dissipata su R è massima. Calcolare tale potenza.



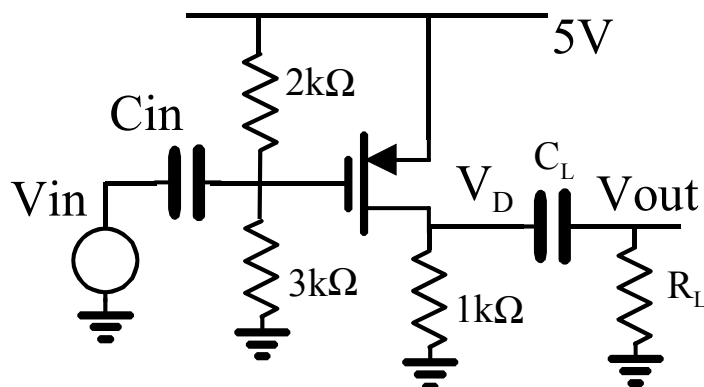
$R = 1 \text{ k}\Omega$

Fig. 1

### Esercizio 2

Lo stadio amplificante in figura 2 deve pilotare il carico  $R_L = 1 \text{ k}\Omega$ . Si ipotizzi  $C_{in}$  sufficientemente grande da essere un cortocircuito per il segnale  $V_{in}$ .

- Polarizzare il circuito, indicando tensioni ai nodi e correnti nei rami
- Calcolare il guadagno "a vuoto"  $V_D/V_{in}$ , supponendo cioè che  $C_L$  e  $R_L$  non siano connessi al circuito.
- Calcolare il guadagno  $V_{out}/V_{in}$  a frequenza sufficientemente alta da potere considerare  $C_L$  un cortocircuito.
- Da quale frequenza in poi  $C_L$  si può considerare un cortocircuito? (giustificare la risposta)
- E' possibile guadagnare se il carico da pilotare diventa  $R_L = 0.1 \text{ k}\Omega$ ? Perché? Che soluzione si può adottare?
- Quale è la massima ampiezza di  $V_{in}$  per cui  $V_{in}$  possa essere ancora considerato un *piccolo segnale*?



$$V_{Tp} = -0.8 \text{ V}, \quad C_L = 1 \text{ pF}$$

$$K_p = \frac{1}{2} \mu_p C_{ox} (W/L) = 2 \text{ mA/V}^2$$

Fig. 2

### Esercizio 3

Per la porta logica 3-STATE in figura 3.

- Quanto vale l'uscita quando il segnale di controllo CNT è rispettivamente alto e basso?
- Se l'uscita è connessa a un carico di  $0.1 \text{ pF}$  e l'ingresso commuta a  $100 \text{ MHz}$ , quanta potenza viene dissipata quando CNT è rispettivamente alto e basso?

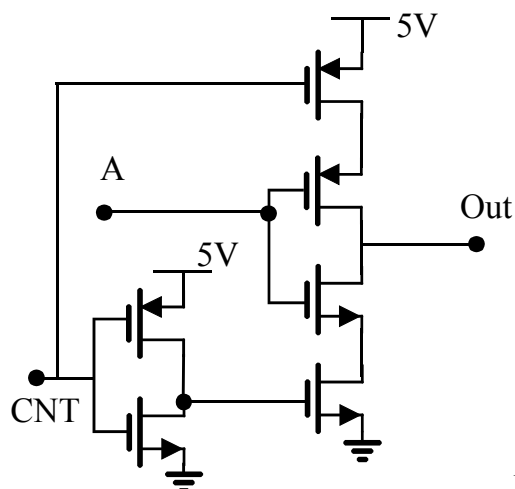


Fig. 3

### Esercizio 4

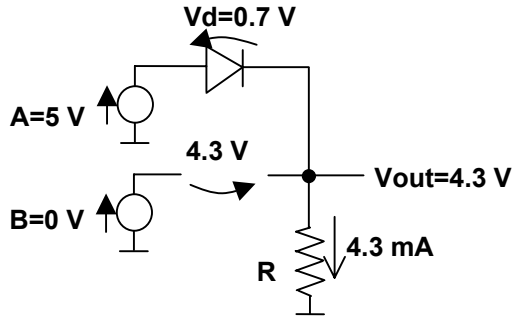
- Disegnare la cella base di una RAM dinamica (incluse *Word Line* e *Bit Line*) e spiegarne sinteticamente il funzionamento.
- Spiegare sinteticamente qual è la principale differenza tra RAM statica e RAM dinamica

**Traccia di Soluzione prima prova in itinere (20 nov. 2003) – FdE (AUT e INF)**

**Esercizio 1a**

Uso il modello semplificato del diodo per cui  $V_d=0.7\text{ V}$  quando il diodo e' in conduzione e circuito aperto quando e' polarizzato inversamente.

La figura mostra il primo circuito nel caso  $A=5\text{ V}$  e  $B=0\text{ V}$ .

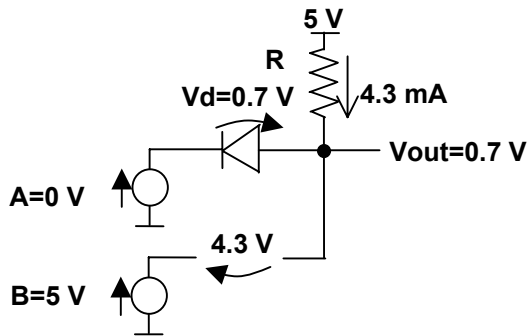


Il diodo collegato ad A e' in diretta e determina la tensione dell'uscita  $V_{out}=5\text{ V} - 0.7\text{ V}=4.3\text{ V}$  (valore logico 1). Il diodo collegato a B e' in inversa con una tensione inversa di 4.3 V. Si verifica facilmente che basta che uno tra A e B (o entrambi) sia alto che  $V_{out}$  risulti pari a 4.3 V (logico 1), viceversa  $V_{out}=0$  (logico 0). La tabella della verita' completa e' la seguente:

A	B	Vout	OUT	Potenza su R
0	0	0 V	0	0
1	0	4.3 V	1	18.5 mW
0	1	4.3 V	1	18.5 mW
1	1	4.3 V	1	18.5 mW

e corrisponde alla funzione logica  $OUT=A+B$

Secondo circuito. Nel caso  $A=0\text{ V}$  e  $B=5\text{ V}$ , il diodo collegato ad A e' in diretta e determina la tensione dell'uscita  $V_{out}=0.7\text{ V}$  (valore logico 0). Il diodo collegato a B e' in inversa con una tensione inversa di 4.3 V.



Si verifica che basta che uno tra A e B (o entrambi) sia basso che  $V_{out}$  risulti pari a 0.7 V (logico 0), viceversa  $V_{out}=5\text{ V}$  (logico 1). La tabella della verita' completa e' la seguente:

A	B	Vout	OUT	Potenza su R
0	0	0.7	0	18.5 mW
1	0	0.7	0	18.5 mW
0	1	0.7	0	18.5 mW
1	1	5 V	1	0

e corrisponde alla funzione logica  $OUT=A \cdot B$

### Esercizio 1b

La potenza dissipata sulla resistenza e' pari a  $P=V_R^2/R$ , essendo  $V_R$  la caduta su R. Nel primo circuito la dissipazione P e' massima quando l'uscita e' massima (4.3 V). Nel secondo circuito P e' massima quando l'uscita e' pari al minimo valore 0.7 V. Nelle tabelle sopra riportate e' stata aggiunta la colonna con la dissipazione di potenza su R per ogni ingresso.

### Esercizio 2

a) Polarizzazione.

La tensione di gate e' data dalla partizione della tensione di alimentazione:  $V_g=5V \cdot 3k/(2k\Omega+3k\Omega)=+3V$ . Essendo  $V_{gs}=V_g-5V=-2V$  possiamo calcolare la corrente nel MOSFET, supposto saturo:  $I_d=k_p(V_{gs}-V_{tp})^2=2mA/V \cdot (1.2V)^2=2.88mA$ . La tensione di drain  $V_d=R_d \cdot I_d=2.88V$  da cui  $V_{ds}=2.88V-5V=-2.12V$ . Essendo  $V_{ds\_sat}=V_{gs}-V_{tp}=-1.2V$  il transistor e' effettivamente saturo ( $V_{ds}<V_{ds\_sat}$ ). La transconduttanza vale  $g_m=2 \cdot I_d/|V_{gs}-V_{tp}|=2 \cdot 2.88mA/1.2V=4.8mS$ .

b) Calcolo  $v_d/v_{in}$  a bassa frequenza (CL aperta). Essendo  $v_{gs}=v_{in}$  si ha che  $i_d=g_m \cdot v_{in}$  e quindi  $v_d/v_{in}=-g_m \cdot R_d=-4.8mA/V \cdot 1k\Omega=-4.8$ .

c) Calcolo  $v_{out}/v_{in}$  ad alta frequenza (CL chiusa). In questo caso la resistenza di carico sul drain diventa  $R_d//R_L=1k\Omega//1k\Omega=0.5k\Omega$  e quindi  $v_{out}/v_{in}=-g_m \cdot R_d//R_L=-4.8mA/V \cdot 0.5k\Omega=-2.4$ .

d) La capacita' CL comincerà a chiudersi per frequenze superiori alla frequenza caratteristica ( $f_c$ ) della rete C-R in uscita. Ricordando che la resistenza equivalente vista "guardando nel drain" del transistor e' infinita, la costante di tempo associata a CL e' pari a  $\tau=CL \cdot (R_d+R_L)=1pF \cdot 2k\Omega=2ns$ , da cui  $f_c=1/(2\pi\tau)=79.6MHz$ .

e) Quando  $R_L=0.1k\Omega$  la resistenza di carico sul drain per il segnale e' dominata dal piccolo valore di  $R_L$  per cui si ha un'abbattimento del guadagno che risulta inferiore a 1:  $v_{out}/v_{in}=-g_m \cdot (R_d//R_L) \approx -g_m \cdot R_L=-0.48$ . Se si inserisce un buffer di tensione ideale tra il drain e la rete CL- $R_L$ , la resistenza  $R_L$  viene disaccoppiata da  $R_d$  e il guadagno  $v_{out}/v_{in}$  ritorna al valore calcolato al punto 2c anche se  $R_L=0.1k\Omega$ .

f) Affinche' il transistor operi in regime di piccolo segnale e' necessario che  $v_{gs} \ll 2 \cdot |V_{gs}-V_{tp}|=2.4V$ . In questo circuito e'  $v_{gs}=v_{in}$  percio' deve essere verificata la relazione  $v_{in} \ll 2.4V$ .

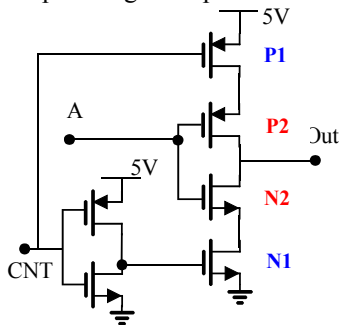
Nota: Va aggiunto che, affinche' il transistor rimanga in zona di saturazione, la tensione di drain non puo' comunque superare il valore  $V_d=3.8V$  che limita il massimo segnale di ingresso  $v_{in}$  a 192 mV (si e' assunto il guadagno massimo  $v_d/v_{in}=4.8$ ).

### Esercizio 3

a) Quando  $CNT=0$  le tensioni di gate dei transistori N1 e P1 sono rispettivamente bassa e alta per cui entrambi i transistori sono in conduzione. Il segnale di ingresso A pilota pertanto un inverter CMOS costituito da N2 e P2 per cui  $OUT=\text{not}(A)$ .

Quando  $CNT=1$  entrambi i transistori N1 e P1 sono spenti e disconnettono l'uscita dall'alimentazione e da massa. In questo caso l'uscita e' indeterminata ("terzo" stato ad alta impedenza).

La porta logica e' pertanto un inverter CMOS tri-state.



b) Quando  $CNT=0$ , l'uscita commuta alla stessa frequenza di A ( $f=100$  MHz). La potenza dinamica dissipata (carica/scarica di CL) e' pari a  $P=f*CL*V_{dd}^2=10^8 \text{ Hz} * 10^{-13} \text{ pF} (5 \text{ V})^2=2.5*10^{-4} \text{ W}=0.25 \text{ mW}$ . Quando  $CNT=1$ , l'uscita e' nel terzo stato e non commuta, pertanto  $P=0$ .

#### Esercizio 4

a) La cella base di una memoria dinamica è composta da un transistor NMOS e da una capacità C (vedi figura).

Durante l'operazione di *scrittura* di uno '0' logico, la *Bit Line* viene portata a 0V e la *Word Line* viene portata a  $V_{cc}$ . Il transistor NMOS viene portato in conduzione e scarica completamente la capacità C (valore finale 0V).

Durante la scrittura di un '1' logico, invece, la *Bit Line* viene portata a  $V_{cc}$  come la *Word Line*. In questo caso la capacità C viene caricata al valore  $(V_{cc}-V_T)$ .

Durante la *lettura* della cella, la *Bit Line* viene precaricata ad una tensione nota, tipicamente  $V_{cc}/2$ , e successivamente viene abilitata la *Word Line*. Il transistor NMOS si porta in conduzione e collega la capacità C alla *Bit Line*. Dal confronto della tensione finale della *Bit Line* con il valore di precarica viene identificato lo stato logico contenuto nella cella prima della lettura. Essendo la lettura distruttiva, tale stato deve essere riscritto nella cella.

b) La cella base nelle memorie RAM statiche e' un bistabile per cui in tali memorie l'informazione e' mantenuta indefinitamente e non e' necessaria nessuna operazione di rinfresco.

Nelle memorie RAM dinamiche, invece, l'informazione memorizzata e' la carica della capacità della cella base. La variazione nel tempo di tale carica, a causa delle inevitabili correnti di perdita, richiede una periodica rigenerazione dei dati memorizzati, operazione chiamata *rinfresco*. Tale operazione deve essere svolta tipicamente ogni 10-20ms.

